

Neue RISC-V-Prozessor-Familie

Vom Mikrocontroller bis zum Multicore-Prozessor



(Bild: Segger Microcontroller)

Spätestens die Ankündigung einer strategischen Partnerschaft mit Renesas öffnete dem RISC-V-Start-up SiFive die Tür in den Club der etablierten Halbleiterhersteller. Mit den Prozessoren der Serie 7 schlägt SiFive die Brücke vom Mikrocontroller bis zum Multicore-Prozessor, was alles andere als trivial ist. Von Frank Riemenschneider

Die Ankündigung war spektakulär: SiFive, der größte Anbieter von Prozessor-IP auf Basis der RISC-V-Mikroarchitektur, aber immer noch mit dem Image eines Start-ups behaftet, wird strategischer Partner von Renesas – und das auch für High-End-Automotive-Anwendungen im Bereich ADAS (Advanced Driver Assistance Systems) und autonomes Fahren. »Das SiFive-RISC-V-Portfolio ist siliziumerprobt, in führenden und fortschrittlichen Fertigungs-Foundries verfügbar und bietet Kunden sowie Partnern Flexibi-

lität«, erklärte Renesas, und spätestens damit wurde SiFive in den Kreis der etablierten IP-Anbieter befördert. Was die Flexibilität angeht, bietet SiFive bereits ein erstaunlich breit gefächertes Angebot an Prozessor-IP an. Neben 32- und 64-bit-Standard-Cores mit dem

lität«, erklärte Renesas, und spätestens damit wurde SiFive in den Kreis der etablierten IP-Anbieter befördert. Was die Flexibilität angeht, bietet SiFive bereits ein erstaunlich breit gefächertes Angebot an Prozessor-IP an. Neben 32- und 64-bit-Standard-Cores mit dem

Vektoreinheit für den S7 von SiFive

Anfang 2021 wurde VIS7 vorgestellt, ein Prozessor, der 64 Milliarden FP32-Operationen pro Sekunde ausführen und für deterministische Operationen ausgelegt ist. Der VIS7 verbindet den S7-Prozessor mit einer 512 bit breiten Vektoreinheit.

Der neue VIS7-Prozessor enthält die Vektorerweiterung RWV 1.0. Die Vektoreinheit arbeitet mit 8-, 16- und 32-bit-Daten im Gleitkomma-, Festkomma- und Integer-Format. Sie verwendet eine 512-bit-Vektor-ALU und eine 512-bit-Vektorspeichereinheit.

Der VIS7 lässt sich mit dem Cortex-R82 vergleichen, dem ersten 64-bit-Echtzeitprozessor von ARM. Um die SIMD-Leistung des R82 zu erhöhen, können Lizenznehmer eine optionale Neon-Einheit mit 128 bit Breite integrieren. Der VIS7 und der R82 verfügen über acht Kerne und bieten Echtzeit-Determinismus, um einen vorhersagbaren Durchsatz zu liefern. Beide Prozessoren verwenden eng integrierten oder eng gekoppelten Speicher, um die Speichertransaktionszeiten zu reduzieren und den Determinismus zu verbessern.

Der SiFive-Prozessor VIS7 erreicht 5,1 CoreMarks/MHz und liegt damit 12 % hinter dem R82 von ARM, und er arbeitet mit einer ähnlichen Spitzenfrequenz von 2,0 GHz. Er glänzt jedoch bei SIMD-Operationen, da seine Vektoreinheit 4-mal breiter ist und den FP32-Spitzendurchsatz der Neon-Einheit des R82 fast vervierfacht. Programmierer können LMUL (lengthmultiplier) – ein Kontrollregister zur Gruppierung von Vektor-Registern – auch auf 2, 4 oder sogar 8 einstellen, wodurch im Extremfall ein 8182 bit breites virtuelles Register entsteht. LMUL verbessert zwar nicht den Spitzendurchsatz, aber es reduziert die Anzahl der Anweisungen, die zur Versorgung der Vektoreinheit benötigt werden.

Schwerpunkt auf Embedded-Anwendungen (**Tabelle**) werden neuerdings unter der Bezeichnung »SiFive Intelligence« zudem Software und Hardware zur Beschleunigung von KI/ML-Anwendungen mit SiFive-KI-ISA-Erweiterungen und RISC-V-Vektor-Erweiterungen angeboten.

Den weitesten Bogen spannt die Prozessor-Serie 7, welche die Brücke vom Mikrocontroller zum Mikroprozessor schlägt und sicherlich für Embedded-Entwickler sehr interessant ist.

Der Dual-Issue-In-Order-Prozessor-kern bewegt sich in der gleichen Kom-

plexität wie z.B. der Cortex-A55 von ARM. SiFive bietet sowohl Versionen für Echtzeit-Embedded-Processing als auch für Linux-Anwendungen an.

Am oberen Ende der Leistungsskala steht der neue U74MC-IP-Core, der auf dem U54 aufbaut und der bereits Multi-core-Konfigurationen und Linux-Kompatibilität bietet. Der U74MC verfügt standardmäßig über eine Gleitkommaeinheit (FPU) mit doppelter Präzision. Bis zu neun der 64-bit-Cores können sich einen L2-Cache mit ECC-Schutz teilen. Für Embedded-Anwendungen gibt es den 32-bit E76 und den 64-Bit

S76, die eine FPU enthalten, die mit einfacher Genauigkeit rechnet. Mit 4,9 CoreMark/MHz und einer rund 10 % höheren Taktfrequenz als die Vorgängerserie 5 erhalten Anwender mit der Serie 7 eine deutlich höhere Rechenleistung. Dazu gibt es noch weitere Verbesserungen am Speichersubsystem gegenüber der Serie 5:

- Null-Taktzyklen Load-to-Use-Latenzzeit, statt ein Taktzyklus,
- Zwei Taktzyklen Zugriffszeit auf das SRAM im Worst Case, statt fünf Taktzyklen
- Ein schneller E/A-Port, Fast-I/O bzw. kurz FIO genannt. Dieser ist eng mit dem Core gekoppelt und ermöglicht Core-to-Speicher und Beschleuniger-Operationen mit niedriger Latenz. Der FIO-Port kann auch dazu verwendet werden, um größeres SRAM sowie kundenspezifische Beschleuniger über die Beschleuniger-Registerschnittstelle einzubinden (**Bild 1**).

Am Ende erreicht die Prozessorserie 7 eine 63-prozentige Verbesserung bei CoreMarks/MHz (4,9 CM/MHz). Basis der Serie 7 ist ein Cluster mit bis zu neun CPUs (8+1, **Bild 2**). Die Cores können eine Mischung aus den Cores der Serie 7 sowie aus anderen vorhandenen Prozessorkernen von SiFive sein. Alle Elemente im Cluster sind Cache-kohärent – einschließlich aller erweiterten SRAM-Optionen sowie aller kundenspezifischen Beschleuniger, die an die Cores angeschlossen sind. Das Cluster kann durch den Einsatz von AMBA weiter skaliert werden, was die Integration von bis zu 64 Clustern auf einem einzigen Chip ermöglicht. Multi-Chip-Unterstützung ist auch über ChipLink möglich.

Nach einer im April 2018 realisierten 50-Millionen-Dollar-Finanzierungsrunde hatte SiFive seinerzeit seinen Fokus auf IP für Embedded-Anwendungen erweitert. Ein Teil der Differenzierung der SiFive-IP liegt zweifelsfrei in der Konfigurierbarkeit. Kunden können mit der Spezifikation für einen Standard-Core beginnen und Standard-befehlsweiterungen hinzufügen oder entfernen, Speicherdetails ändern und andere Funktionen konfigurieren.

	E-Cores: 32-bit-Embedded-CPUs	S-Cores: 64-bit-Embedded-CPUs	U-Cores: 64-bit-Anwendungsprozessoren
8-Serie: Höchste Rechenleistung mit 11-stufiger Out-of-Order-CPU-Pipeline			U84
7-Serie: Hohe Rechenleistung mit 8-stufiger, superskalärer Dual-Issue-CPU-Pipeline	E76, E76MC Quad-Core	S76, S76MC Quad-Core	U74, U74MC (4xU74 + 1xS76)
3/5-Serie: Fokus auf hoher Energieeffizienz mit 5-6-stufiger Single-Issue-CPU-Pipeline	E31, E34 (E31 + FPU)	S51, S54 (S51 + FPU)	U54, U54MC (4xU54 + 1xS51)
2-Serie: Optimierte für minimalen Energiebedarf und minimale Siliziumfläche, 2-3-stufige Single-Issue-CPU-Pipeline	E20, E21 (E20 + User-Mode, Atomare Instruktionen, Multiplizierer, TIM), E24 (E21 + FPU)	S21	

Tabelle: Mit seinem IP-Angebot an 32- und 64-bit-Prozessoren zielt SiFive auf klassische Embedded-Anwendungen. (Quelle: Segger Microcontroller)

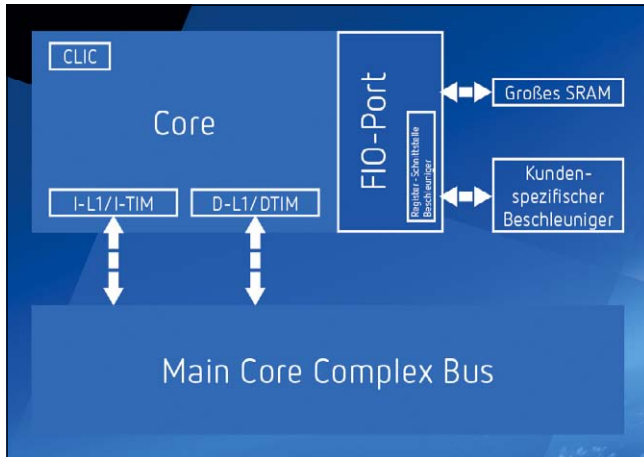


Bild 1. Der eng an den Prozessorkern gekoppelte FIO-Port ermöglicht Übertragungen vom/zum Kern, vom/zum Speicher oder Hardwarebeschleuniger mit geringer Latenzzeit. (Bild: Segger Microcontroller)

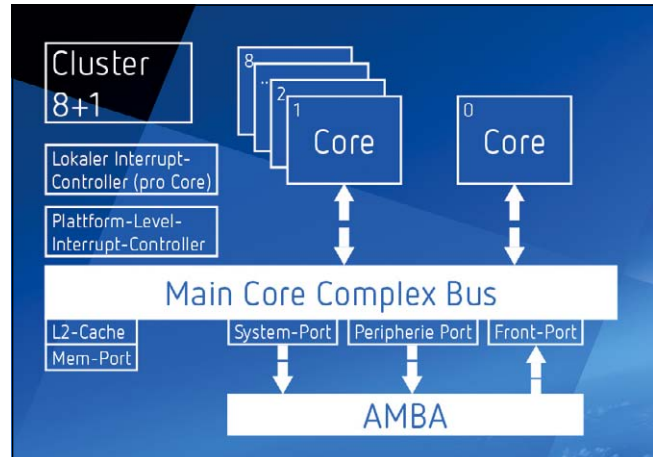


Bild 2. Bis zu acht gleiche CPUs plus eine weitere CPU eines anderen Typs können in der Serie 7 zu einem Cluster integriert werden. (Bild: Segger Microcontroller)

Neue CPU bei Serie 7

Die neue Dual-Issue-CPU der Serie 7 stellt eine Abkehr von den bisherigen CPUs von SiFive dar: Die Serie 5 verwendet eine einfache fünfstufige skalare Pipeline, implementiert mit TSMCs 28-nm-Prozess ist eine Taktfrequenz von bis zu 1,5 GHz erreichbar. Der S54 enthält die RV64I-Basis-ISA sowie die Erweiterungen Multiply und Divide (M), Atomic (A) und Compressed (C). Optional verarbeitet der Serie-5-Prozessor die Gleitkomma-Erweiterungen mit einfacher (F) und doppelter Genauigkeit (D).

Wie **Bild 3** zeigt, erweitert die Prozessor-Serie 7 die Pipeline auf acht Stufen und fügt mehrere Ausführungseinheiten für superskalare Operationen hinzu. Der erste Ausführungslot führt Speicheroperationen (Laden/Speichern) und einfache Integer-Operationen aus, wogegen der zweite Slot beliebige Integer-Operationen (einschließlich Multiplizieren/Dividieren), Verzweigungsauflösung und Gleitkomma-Operationen ausführt. SiFive hat eine zweite Fetch-Stufe und eine zweite Datenspeicher-Zugriffsstufe hinzugefügt, um größere L1-Cache- und Scratchpad-Speicher zu ermögli-

chen. Eine zweite Decodierstufe übernimmt das superskalare Dispatching. Beide Ausführungslots enthalten in der 5. Stufe arithmetisch-logische Ausführungseinheiten (ALUs). Sie verarbeiten die meisten arithmetischen Anweisungen. Die Verzweigungsauflösung kann diese ALUs sofort verwenden, was bei einer Sprungfehlvorhersage zu fünf Taktzyklen Latenz führt. Wenn ein ALU-Befehl jedoch die Ausgabe eines anstehenden Ladevorgangs benötigt, geht er zu Stufe sieben über, die einen zweiten Satz von ALUs enthält. Diese »späten« ALUs ermöglichen eine Load-to-Use-Latenz von null



Schnell, kompakt und kinderleicht

Leiterplatten Inhouse Prototyping
Der neue LPKF ProtoLaser ST besticht durch seine kompakte Bauform und die kinderleichte Bedienung. Mehr erfahren: www.lpkf.com/protolaser_st



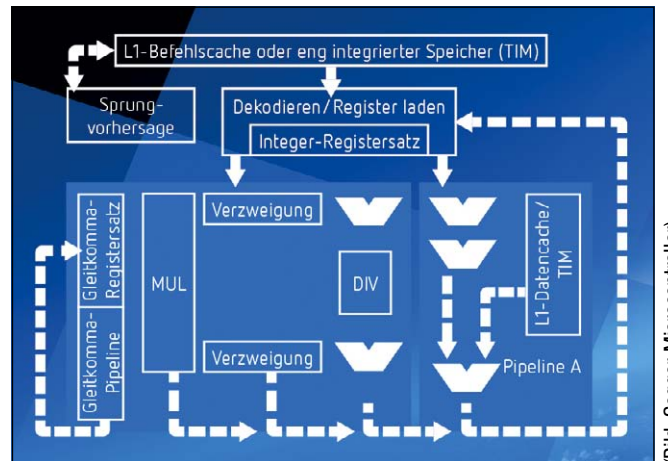


LPKF Laser & Electronics AG
Tel. +49 (0) 5131-7095-0



(Bild: Segger Microcontroller)

Bild 3. Die 8-stufige Dual-Issue-Pipeline des SiFive S7-Cores.



(Bild: Segger Microcontroller)

Bild 4. Mikroarchitektur der S-CPU von SiFive.

Zyklen, was bedeutet, dass ein abhängiger ALU-Befehl in dem Zyklus abgearbeitet werden kann, der unmittelbar auf den Befehl folgt, der seine Daten lädt. Wenn eine Verzweigung mit den späten ALUs aufgelöst wird, steigt die Latenz bei einer Sprungfehlvorhersage auf sieben Taktzyklen an.

Die größte Änderung in der 7er-Serie ist die Überarbeitung des Speichersubsystems mit Daten-Cache und optionalem, eng integriertem Speicher (TIM, Tightly Integrated Memory). Der FIO-Port umgeht den Core-Complex-Bus.

Bild 4 zeigt den Aufbau der CPU.

Der U74MC verfügt über einen 64-bit-Registersatz und einen 64-bit-Datenpfad, L1-Befehls- und Daten-Caches, die durch ECC geschützt sind, eine Physical-Memory-Protection- (PMP)-Einheit und eine Memory-Management- (MMU)-Einheit, die den Ein-

satz von Linux ermöglicht. Die MMU implementiert die 39-bit-Version (SV39) des RISC-V-Virtual-Memory-Systems. Die PMP schützt bis zu acht Speicherbereiche und ermöglicht die Vergabe von Berechtigungen für Zugriffe im Benutzermodus. Der Prozessor-Core kann auch einen lokalen Interrupt-Controller (CLIC) enthalten, um Interrupt-Priorisierung und Preemption zu ermöglichen. Um Seitenkanalangriffe zu vereiteln, kann die Systemsoftware beim Umschalten von Prozessen die Verzweigungshistorie löschen.

Der 32-bit E76 und der 64-bit S76 sind CPUs der Mikrocontroller-Klasse, die im Vergleich zum U74 keine MMU aufweisen, dafür aber optionalen, eng integrierten Speicher (TIM) und den FIO beinhalten. SiFive konfiguriert die E7x-Cores mit einem 64-KB-Instruktions-Cache mit Vier-Wege-Assoziativität,

einem Instruktionen-TIM, der in einem einzigen Zyklus adressierbar ist, oder beidem.

Für Daten kann ein Cache oder TIM gewählt werden. Obwohl der Daten-TIM von 4 KB bis 256 KB reicht, entscheiden sich die meisten Entwickler für 32 KB. Für echtzeitfähige Prozessoren können Entwickler den Instruktionen-TIM verwenden und die dynamische Sprungvorhersage zur Boot-Zeit deaktivieren. Auf diesen Prozessorkernen laufen typischerweise ein Echtzeit-Betriebssystem (RTOS) und kleine Anwendungen, sodass keine komplexen Cache-Strukturen erforderlich sind.

Der Core-Komplex umfasst einen vollständig kohärenten und gemeinsam genutzten Speicherbereich. Ein Plattform-Level Interrupt Controller (PLIC) verteilt globale Interrupts. Jeder Prozessorkern kann konfiguriert werden, z. B. einer mit SRAM, ein anderer mit einem Beschleuniger und ein dritter Kern ohne beides. Alle Prozessorkerne sind mit einem Cache-kohärenten Bus verbunden und können den FIO-Port auf allen anderen Kernen sehen und darauf zugreifen, was bedeutet, dass sie auch auf das SRAM und einen möglichen benutzerdefinierten Beschleuniger der anderen Kerne zugreifen können.

Für einen einfachen Mikrocontroller kann, statt einer Multicore-Konfiguration, auch nur ein E76-Kern mit TCM-, FIO- und CLIC-Funktionen (Core-Local Interrupt Controller) verwendet werden und der L2-Cache und der PLIC-Block weggelassen werden. Ohne Berücksichtigung der Speicher

Einheitliche Hard- und Softwareunterstützung für ARM und RISC-V von Segger

Viele Unternehmen setzen mittlerweile auf einen Mix von ARM- und RISC-V-basierenden CPUs, oft werden diese sogar auf einem SoC integriert. Was sich kein Entwickler wünscht, ist in solchen Fällen mit unterschiedlichen Toolchains arbeiten zu müssen. Gefragt sind daher IDEs und Debugging-Tools, die identische Funktionen und Benutzerschnittstellen für beide Architekturen bieten.

Ganz gleich ob ein Prozessor von ARM oder SiFive gewählt wird, zum Debuggen bietet Segger mit dem J-Link [1] ein einheitliches Tool. Es wurde in einer Umfrage von den Elektronik-Lesern zum besten Debugger gewählt [2]. Auch die IDE Embedded Studio von Segger, die beim Elektronik-Lesertest hervorragend abgeschnitten hat, ist für ARM und RISC-V verfügbar [3].

Last but not least profitieren aber auch Entwickler, die mit SiFives eigener Software Freedom E SDK entwickeln, von Seggers Embedded-Know-How: SiFive hat Seggers Laufzeitbibliothek emRun lizenziert und integriert sie vollständig in Freedom E SDK [4]. Das Ergebnis: Bis zu 25 % kleinerer Code mit der Möglichkeit, Speicher und damit Siliziumfläche, Energie und Geld zu sparen.

belegt ein solcher Mikrocontroller im 28HPC-Prozess von TSMC 0,112 mm² Siliziumfläche, wenn eine 9-Track-Standardzellenbibliothek verwendet wird. Laut SiFive nimmt dieser Mikrocontroller 20,4 mW auf, wenn auf ihm der Dhrystone-Benchmark bei 400 MHz Taktfrequenz läuft – ohne Speicher. Für eine maximale Leistung sollte eine 12-Track-Bibliothek im ungünstigsten Fall einen Betrieb mit 875 MHz ermöglichen, wobei der Prozessorkern 0,174 mm² belegt und 74,4 mW Leistung aufnimmt.

SiFive vs. ARM

Der U74 konkurriert direkt mit dem Cortex-A55 von ARM. Der U74 und der A55 haben beide eine In-Order-Dual-Issue-Pipeline mit acht Stufen, wobei der Entwurf von SiFive etwa 11 % mehr CoreMarks/MHz erreicht. Auch bei der Leistungs- und Flächeneffizienz hat der U74 die Nase vorn. Auf der anderen Seite enthält der A55 eine FPU, die Neon-SIMD-Vektorbefehle (Single Instruction Multiple Data) verarbeitet. Der E76 ist bei der Integer-Leistung mit dem Cortex-M7 von ARM vergleichbar. Beide sind Dual-Issue-Mikrocontroller, die etwa 5,0 CoreMarks/MHz liefern, wobei der ARM-Mikrocontroller einen leichten Vorsprung hat. Der Cortex-M7 enthält DSP/SIMD-Erweiterungen, die der E76 nicht hat; beide Hersteller bieten optionale FPUs an. Obwohl der E76 bei der Energieeffizienz nicht ganz an den M7 herankommt, erreicht er mit bis zu 1,6 GHz eine höhere Taktfrequenz im selben Fertigungsprozess. Der S76 hat keinen 64-bit-Konkurrenten von ARM. Der Cortex-R8 ist ähnlich, er ist jedoch ein 32-bit-Prozessor und kommt beim Coremark-Benchmark nicht an den S76 heran.

Die Angebote von SiFive und ARM unterscheiden sich auch in ihren Multicore-Konfigurationen. Die 7er-Serie hat einen gemeinsamen L2-Cache. Im Gegensatz dazu verfügt der Cortex-A55 über einen privaten L2-Cache und einen gemeinsamen L3-Cluster-Cache, die Cortex-M- und Cortex-R-CPU's dagegen unterstützen keine privaten L2-Caches.

Die Qual der Wahl

Wie immer hängt es an der Anwendung, welche Wahl die Beste ist. SiFives 7er-Serie liefert gegenüber der 5er-Serie eine beeindruckende Leistungssteigerung von 63 %. Noch wichtiger ist, dass sie es SiFive ermöglicht, gegen Dual-Issue-ARM-CPU's wie Cortex-M7 und Cortex-A55 anzutreten. Die gesteigerte Leistung des U74 erweitert auch das Spektrum der Linux-Anwendungen, die RISC-V bedienen kann. Um mit ARM bei Anwendungen konkurrieren zu können, die DSP- oder KI-Verarbeitung erfordern, musste SiFive eine Vektoreinheit hinzufügen: Auch wenn es hierzu eine Ankündigung des VIS7 gibt (siehe Kasten: Vektoreinheit für S7 von SiFive), wird das Produkt auf SiFives-Website derzeit noch nicht offiziell angeboten. hs

Literatur

- [1] SEGGERs J-Link Debugging-Tools für SiFive- und Arm-CPU's: <https://www.segger.com/products/debug-probes/j-link/>
- [2] Schlichtmeier, T.: Leser-Umfrage zu Debugging – Das sind die Top 3. *elektronik.de*, 25. Mai 2021, www.elektroniknet.de/embedded/entwicklungstools/das-sind-die-top-3.186641.html
- [3] Stelzer, G.: »Embedded Studio« von Segger mit Top-Bewertung. *Elektronik* 2021, H. 4, S. 6–9.
- [4] WEKA FACHMEDIEN, *Newsdesk*: SiFive lizenziert Laufzeitbibliothek emRun von Segger. *elektronik.de*, 28. Mai 2021, www.elektroniknet.de/embedded/software/si-five-lizenziert-laufzeitbibliothek-emrun-von-segger.186775.html.



Frank Riemenschneider

studierte an der Leibniz-Universität Hannover Elektrotechnik mit dem Schwerpunkt Prozessorarchitekturen. Bei Segger Microcontroller ist er seit März 2021 als Senior-Marketing- und PR-Manager tätig und betreut die gesamte Produktpalette. frank.riemenschneider@segger.com



„Seit 70 Jahren am Markt – mehr muss man glaube ich nicht sagen!“

Christian Blank,
Geschäftsführer, mp – media placement GmbH, Agentur für Mediaplanung



WEKA FACHMEDIEN GmbH,
Richard-Reitzner-Allee 2, 85540 Haar